



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11205092 A**

(43) Date of publication of application: 30 . 07 . 99

(51) Int. Cl. **H03J 7/02**  
**H04B 3/10**  
**H04B 7/005**  
**H04L 27/38**  
**H04L 27/01**  
**H04L 27/22**

(21) Application number: **10008487**

(22) Date of filing: 20 . 01 . 98

(71) Applicant: **NIPPON TELEGR & TELEPH  
CORP <NTT>**

(72) Inventor: **UENO SHIYUUTA**  
**YAMASHITA NAONOBU**  
**MATSUE HIDEAKI**  
**MUNEDA SATOSHI**

**(54) AFC CIRCUIT FOR EQUALIZER**

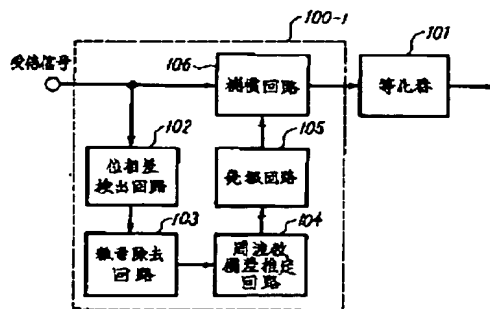
the phase fluctuation by the frequency deviation.

**(57) Abstract:**

COPYRIGHT: (C)1999,JPO

**PROBLEM TO BE SOLVED:** To improve the equalizing characteristic of a radio demodulating device by removing a frequency deviation in a preamble section, through the use of a burst where a preamble signal for an AFC circuit is added before an equalizer training signal.

**SOLUTION:** An AFC circuit 100-1 is provided with a phase difference detecting circuit 102, which uses an AFC non-modulating signal in preambuling, receives a burst signal with a burst format where the equalizer training signal and a data signal are continued and detecting a phase fluctuated by a frequency deviation in a specified time interval, a noise removing circuit 103 which removes a noise component included in the signal and extracting only a phase change portion, a frequency deviation estimating circuit 104 which estimates the frequency deviation in the preamble section from the phase change, an oscillating circuit 105 which oscillates a sine wave of estimated frequency in a direction opposite to the phase change direction of the receiving signal and a compensating circuit 106 which executes the multiplication of the receiving signal by the output signal of the oscillating circuit to remove



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-205092

(43)公開日 平成11年(1999) 7月30日

(51)Int.Cl.<sup>6</sup>

識別記号

F I

H 0 3 J 7/02

H 0 3 J 7/02

H 0 4 B 3/10

H 0 4 B 3/10

C

7/005

7/005

H 0 4 L 27/38

H 0 4 L 27/00

G

27/01

K

審査請求 未請求 請求項の数 4 O L (全 10 頁) 最終頁に続く

(21)出願番号

特願平10-8487

(22)出願日

平成10年(1998) 1月20日

(71)出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72)発明者 上野 衆太

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72)発明者 山下 直信

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72)発明者 松江 英明

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(74)代理人 弁理士 本間 崇

最終頁に続く

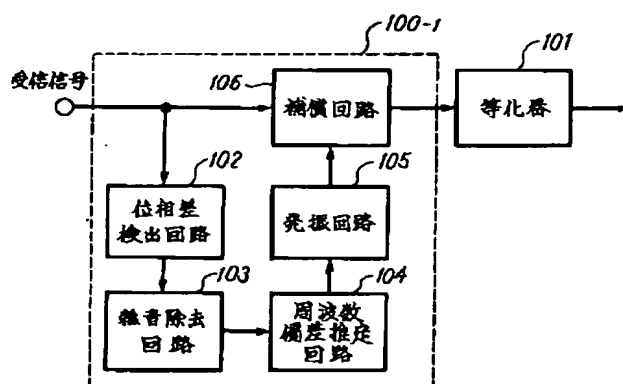
(54)【発明の名称】 等化器用AFC回路

(57)【要約】 (修正有)

【課題】 等化器用のトレーニング信号の前にAFC回路用のプリアンプル信号を付加したバーストを用い、プリアンプル区間で周波数偏差を除くことで、無線復調装置の等化特性を向上させる。

【解決手段】 プリアンプルにAFC用の無変調信号を用い、さらに等化器用のトレーニング信号及びデータ信号が続くバーストフォーマットとしたバースト信号を受信し、特定の時間間隔内に周波数偏差によって変動する位相を検出する位相差検出回路102と、信号中に含まれる雑音成分を取り除き、位相変化分のみを抽出する雑音除去回路103と、位相変化からプリアンプル区間で周波数偏差を推定する周波数偏差推定回路104と、推定した周波数の正弦波を受信信号の位相変化の方向とは逆向きに発振する発振回路105と、受信信号と発振回路の出力信号とを乗算して、周波数偏差による位相変動を取り除く補償回路106とを設ける。

本発明のAFC回路の基本構成を示すブロック図



## 【特許請求の範囲】

【請求項1】 バースト伝送の無線復調装置において、マルチパスフェージングによる波形歪みを取り除く等化器の前に置かれ、送受信ローカル周波数偏差を補償するAFC回路であって、

プリアンプにAFC用の無変調信号を用い、さらに等化器用のトレーニング信号及びデータ信号が続くバーストフォーマットとしたバースト信号の、無変調信号を受信し、受信信号が特定の時間間隔内に周波数偏差によって変動する位相を検出する位相差検出回路と、

上記位相差検出回路の出力に接続され、信号中に含まれる雑音成分を取り除き、位相変化の情報のみを抽出する雑音除去回路と、

上記雑音除去回路の出力に接続され、位相変化からプリアンプ区間で周波数偏差を推定する周波数偏差推定回路と、

上記周波数偏差推定回路の出力に接続され、推定した周波数の正弦波を上記受信信号の位相変化の方向とは逆向きに発振する発振回路と、

上記受信信号と、上記発振回路の出力とに接続され、上記受信信号と発振回路の出力信号とを乗算することにより、受信信号の周波数偏差による位相変動を取り除いて出力する補償回路とを設けたことを特徴とする等化器用AFC回路。

【請求項2】 バースト伝送の無線復調装置において、マルチパスフェージングによる波形歪みを取り除く等化器の前に置かれ、送受信ローカル周波数偏差を補償するAFC回路であって、

プリアンプにAFC用の無変調信号を用い、さらに等化器用のトレーニング信号及びデータ信号が続くバーストフォーマットとしたバースト信号の、無変調信号を受信し、受信信号が特定の時間間隔内に周波数偏差によって変動する位相を検出する位相差検出回路と、

上記位相差検出回路の出力に接続され、信号中に含まれる雑音成分を取り除き、位相変化の情報のみを抽出する雑音除去回路と、

該雑音除去回路の出力に接続され、位相変化からプリアンプ区間で周波数偏差を推定する周波数偏差推定回路と、

該周波数偏差推定回路の出力に接続され、推定した周波数の正弦波を上記受信信号の位相変化の方向とは逆向きに発振する発振回路と、

該発振回路の出力と前記受信信号とを乗算することにより、受信信号の周波数偏差による位相変動を取り除いて出力する補償回路と、

該補償回路の出力と、該補償回路の出力を入力として動作する前記等化器で生成したレプリカとを位相比較することにより、周波数偏差による位相の回転量を検出する位相比較回路と、

該位相比較回路の出力を用いて、プリアンプ終了後に

前記周波数偏差推定回路の出力によって設定した前記発振回路の出力周波数を、等化器のトレーニング終了後に補正する手段を設けたことを特徴とする等化器用AFC回路。

【請求項3】 位相差検出回路に乗算回路を用いる構成として、該位相差検出回路の乗算回路と補償回路に用いる乗算回路とを同一の乗算回路とし、該乗算回路の入力信号を切り替える手段を設けた請求項1または請求項2に記載の等化器用AFC回路。

10 【請求項4】 周波数偏差推定回路に除算回路を用いる構成とした請求項1または請求項2に記載の等化器用AFC回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、バースト信号を送送する無線装置の復調装置に関し、特に、送受信ローカル周波数偏差の方がドップラー周波数より支配的な環境下の高速バースト伝送において、マルチパスフェージングによる波形歪みを取り除くための等化器の前に設けて送受信ローカル周波数偏差を補償するAFC回路に関する。

## 【0002】

【従来の技術】図10に、従来の等化器用AFC回路の構成を示す。同図において、AFC回路100は、等化器101の前に置かれ、発振回路105の出力周波数を制御することにより、受信信号の周波数偏差を補償して、適応等化器101に入力している。

【0003】図10には適応等化器の例としてMLSE等化器を示している。MLSE等化器101は、レプリカ生成回路109により受信信号を推定したレプリカと受信信号の差をプランチメトリックとして、系列推定回路107においてビタビアルゴリズムにより送信信号系列の推定を行い出力する。

【0004】同時に伝搬路推定回路108において、系列推定回路107で推定した送信信号系列と受信信号から伝搬路のインパルス応答を推定する。さらにレプリカ生成回路109において、推定したインパルス応答と送信信号系列を基にレプリカを生成する。

【0005】伝搬路推定は、始めに送信信号系列の推定結果の代わりに既知のトレーニング信号を用いてトラッキングを行い、データ区間では推定した送信信号系列を用いて伝搬路推定を行う。AFC回路100では、MLSE等化器101のレプリカ生成回路109から出力されるレプリカを入力し、補償回路106の出力信号を遅延回路1により遅延を調整した後、位相比較回路2に入力する。

【0006】補償回路106の出力信号は、レプリカと位相比較することによって、周波数偏差による位相の回転量が検出される。位相比較器2の出力を平均フィルタ3により適当な時間で平均操作を行い、係数回路4によ

リゲインを調整して周波数偏差推定回路104に入力する。

【0007】周波数偏差推定回路104においては位相の回転量から周波数偏差に変換し、発振回路105の出力周波数を設定する。補償回路106において受信信号を発振回路105出力と乗算し、周波数偏差による位相の回転を抑える。上述のようなAFC回路における従来の技術は、例えば、特開平6-311193号公報「自動周波数制御方法及びその装置」に開示されている。

【0008】

【発明が解決しようとする課題】通常、等化器はフェージングによる伝搬環境の変化に適応的に追従できる機能を有している。しかし、フェージングによるドップラー周波数に比べ送受信ローカル周波数の周波数偏差による影響が大きい場合には、等化器の適応等化能力が劣化してしまう。これを防ぐためには、等化器のトレーニングが始まる前に、受信信号の周波数偏差を許容値まで抑える必要がある。

【0009】しかし、上述したような従来の等化器用AFC回路では、等化器で生成されるレプリカをAFC回路の周波数制御に用いているので、受信信号からレプリカを得るまでは、AFC回路による制御が行われない。そのため、周波数偏差が存在する状態で等化器のトレーニングが行われるから、等化能力が劣化するという課題を有していた。

【0010】本発明は、このような背景の下になされたもので、等化器用のトレーニング信号の前にAFC回路用のプリアンプル信号を付加したバーストを用い、プリアンプル区間で周波数偏差を除くことにより、従来の課題を解決して無線復調装置の等化特性の向上を実現することを目的とする。

【0011】

【課題を解決するための手段】本発明によれば、上述の課題は、前記特許請求の範囲に記載した手段により解決される。すなわち、請求項1の発明は、バースト伝送の無線復調装置において、マルチパスフェージングによる波形歪みを取り除く等化器の前に置かれ、送受信ローカル周波数偏差を補償するAFC回路であって、

【0012】プリアンプルにAFC用の無変調信号を用い、さらに等化器用のトレーニング信号及びデータ信号が続くバーストフォーマットとしたバースト信号の、無変調信号を受信し、受信信号が特定の時間間隔内に周波数偏差によって変動する位相を検出する位相差検出回路と、

【0013】上記位相差検出回路の出力に接続され、信号中に含まれる雑音成分を取り除き、位相変化の情報のみを抽出する雑音除去回路と、上記雑音除去回路の出力に接続され、位相変化からプリアンプル区間で周波数偏差を推定する周波数偏差推定回路と、

【0014】上記周波数偏差推定回路の出力に接続さ

れ、推定した周波数の正弦波を上記受信信号の位相変化の方向とは逆向きに発振する発振回路と、上記受信信号と、上記発振回路の出力とに接続され、上記受信信号と発振回路の出力信号とを乗算することにより、受信信号の周波数偏差による位相変動を取り除いて出力する補償回路とを設けた等化器用AFC回路である。

【0015】請求項2の発明は、バースト伝送の無線復調装置において、マルチパスフェージングによる波形歪みを取り除く等化器の前に置かれ、送受信ローカル周波数偏差を補償するAFC回路であって、

【0016】プリアンプルにAFC用の無変調信号を用い、さらに等化器用のトレーニング信号及びデータ信号が続くバーストフォーマットとしたバースト信号の、無変調信号を受信し、受信信号が特定の時間間隔内に周波数偏差によって変動する位相を検出する位相差検出回路と、

【0017】上記位相差検出回路の出力に接続され、信号中に含まれる雑音成分を取り除き、位相変化の情報のみを抽出する雑音除去回路と、該雑音除去回路の出力に接続され、位相変化からプリアンプル区間で周波数偏差を推定する周波数偏差推定回路と、

【0018】該周波数偏差推定回路の出力に接続され、推定した周波数の正弦波を上記受信信号の位相変化の方向とは逆向きに発振する発振回路と、該発振回路の出力と前記受信信号とを乗算することにより、受信信号の周波数偏差による位相変動を取り除いて出力する補償回路と、該補償回路の出力と、該補償回路の出力を入力として動作する前記等化器で生成したレプリカとを位相比較することにより、周波数偏差による位相の回転量を検出する位相比較回路と、

【0019】該位相比較回路の出力を用いて、プリアンプル終了後に前記周波数偏差推定回路の出力によって設定した前記発振回路の出力周波数を、等化器のトレーニング終了後に補正する手段を設けた等化器用AFC回路である。

【0020】請求項3の発明は、前記請求項1または請求項2に記載の等化器用AFC回路の位相差検出回路を、乗算回路を用いる構成として、該位相差検出回路の乗算回路と補償回路に用いる乗算回路とを同一の乗算回路とし、該乗算回路の入力信号を切り替える手段を設けて構成したものである。

【0021】請求項4の発明は、前記請求項1または請求項2に記載の等化器用AFC回路の周波数偏差推定回路を、除算回路を用いる構成としたものである。本発明は、上述のように、バースト伝送の無線復調装置において等化器の前に置かれた、送受信ローカル周波数偏差を補償するAFC回路であり、バースト信号のプリアンプルにAFC回路用の無変調信号を用い、

【0022】周波数偏差によって変動する位相を検出する位相差検出回路と、位相差検出回路の出力中に含まれ

10

20

30

40

50

る雑音成分を取り除く雑音除去回路と、位相変化から周波数偏差を推定する周波数偏差推定回路と、推定した周波数の正弦波を発振する発振回路と、

【0023】受信信号に発振回路の出力信号を乗算する補償回路とを含んで構成され、プリアンプ区間内で周波数偏差を推定し、補償回路により受信信号の周波数偏差による位相変動を取り除いた後、等化器に入力する。従って、周波数偏差が存在するまま等化器のトレーニングを行っていた従来の技術に比して、遥かに高精度な等化特性の向上を実現することができる。

【0024】

【発明の実施の形態】本発明は、屋内あるいは屋外の準静止的な環境下で無線を利用して高速データ通信を行う場合に用いられる無線携帯端末の復調回路において、フェージングによる波形歪みを除去するため等化器を備えていることを想定している。通常、等化器はフェージングによる伝搬環境の時間的な変化に適応的に追従できる機能を有している。

【0025】しかし、フェージングによるドップラー周波数に比べ、送受信ローカル偏差による影響が大きい場合は、受信信号の位相変化に等化器が追従できず、等化器の適応等化能力が劣化してしまう。例えば、無線周波数が5GHzの場合では、ローカル周波数安定度が±10ppmでは、送受信のローカル周波数偏差は最大で±30kHz程度になるが、等化器の入力においては周波数偏差を±2kHzまで抑えるAFC回路が必要である。

【0026】図1は、本発明の基本構成を示す図であって、請求項1の発明に対応する。同図において、AFC回路100-1は、等化器101の前に設けられ、位相差検出回路102、雑音除去回路103、周波数偏差推定回路104、発振回路105、及び補償回路106とから構成されている。

【0027】また、本発明に用いられるバースト信号の、バーストフォーマットを、図2に示す。同図に示すように、バースト信号は、先ず、プリアンプ201として無変調波を送り、次に等化器用のトレーニング信号202を送り、その後データ203を伝送する構成になっている。

【0028】先の図1において、受信信号は、始めに位相差検出回路102に入力され、先頭のプリアンプの中の一定時間の間に、周波数偏差によって変動する位相差が検出される。次に位相差検出回路102の出力は、雑音除去回路103に入力され、信号中に含まれる雑音成分が平均操作により取り除かれ、位相変化の情報のみが抽出される。

【0029】次に雑音除去回路103の出力は周波数偏差推定回路104に入力され、一定時間の位相変化から周波数偏差が推定される。次に周波数偏差推定回路104の出力は発振回路105に入力され、推定周波数の正

弦波105の出力は、補償回路106に入力され、両者を乗算回路により乗算することにより受信信号中の周波数偏差による位相変動分が取り除かれる。

【0030】こうしてAFC回路100-1により、プリアンプ区間内で周波数偏差が取り除かれた信号が等化器101に入力され、その後等化器101においてトレーニング信号を用いて波形等化を行う。

【0031】図3は、本発明の実施の形態の第一の例を示す図であって、請求項1の発明に係る具体的な実施例を示すものである。同図において、受信信号は、直交検波回路6により直交検波され、A/D変換器8によりデジタル信号に変換されて、同相成分Id及び直交成分QdとしてAFC回路100-2の位相差検出回路102に入力される。

【0032】位相差検出回路102の入力信号(Id, Qd)はそれぞれ2つに分岐され、一方は遅延時間mシンボルの遅延回路9を通過させて(I<sub>m</sub>, Q<sub>m</sub>)として複素乗算回路10-1に入力され、もう一方の入力信号(Id, Qd)と複素乗算を行う。

【0033】図中の複素乗算回路は入力信号(a, b)と(c, d)から、複素乗算結果として(x, y) = (ac + bd, bc - ad)を出力する。複素乗算回路10-1の出力信号(I<sub>x</sub>, Q<sub>x</sub>)の偏角は位相差情報を持っており、位相差検出回路102から出力されて雑音除去回路103に入力される。

【0034】本実施例の雑音除去回路103は、同相及び直交成分の2つの平均フィルタ110からなり、例えば、図4に示すような構成を有する。図4の平均フィルタ110はn-1個の遅延回路13と合成器14とからなり、シンボル間隔(T)分の遅延が異なるn個の入力データを、合成器14により合計し、これをnで割ることにより平均操作を行う。

【0035】なお、nで割る操作は、信号がM進数でnがMのべき乗であれば、ビットシフトのみで行うことができる。このとき乱雑に分布する雑音成分は平均化されるため取り除かれ、位相差情報だけが残る。図3の雑音除去回路103の出力信号(I<sub>f</sub>, Q<sub>f</sub>)は周波数偏差推定回路104に入力される。

【0036】本実施例の周波数偏差推定回路104はArctanの演算を記憶させたROM11とホールド回路12から構成されており、入力した同相成分I<sub>f</sub>及び直交成分Q<sub>f</sub>からArctan(Q<sub>f</sub>/I<sub>f</sub>) = θを計算させる。これは、遅延時間mシンボルの間の位相変化量であり、これから、1シンボルあたりの位相変化量Δθ (= θ/m)を求めて、ROM11の出力とする。

【0037】ROM11の出力は、ホールド回路12によりプリアンプ終了時の値に保持される。周波数偏差推定回路104の出力信号Δθは、発振回路105に入力される。図5は発振回路105の構成例を示したもので、通常NCO111と呼ばれるものであり、アップダ

ウンカウンタ16と、波形データを記憶させた2つのROM17-1、17-2とからなる。

【0038】周波数偏差推定回路104の出力 $\Delta\theta$ とクロックがNCOのアップダウンカウンタ16に入力され、シンボル毎に $\Delta\theta$ のステップで0度~360度の間を増加あるいは減少して出力される。すなわち、 $k$ シンボル後のアップダウンカウンタ16の出力は $k\Delta\theta + \theta_0$ である( $\theta_0$ は初期位相)。

【0039】アップダウンカウンタ16の出力は、2つのROM17-1及び17-2に入力され、対応する位相の波形データが、それぞれ( $I_0$ ,  $Q_0$ )として出力される。すなわち、 $I_0 = \cos(k\Delta\theta + \theta_0)$ 及び $Q_0 = \sin(k\Delta\theta + \theta_0)$ である。

【0040】図3の発振回路105の出力信号( $I_0$ ,  $Q_0$ )は、補償回路106に入力される。補償回路106は、複素乗算回路10-2からなり、AFC回路100-2の入力信号( $I_d$ ,  $Q_d$ )と、発振回路105の出力信号( $I_0$ ,  $Q_0$ )とを複素乗算する。

【0041】こうして受信信号は、位相変化量 $\Delta\theta$ とは反対向きに位相が回転することになり、周波数偏差による位相変動が除かれる。本発明の位相差検出方法では、 $m$ シンボルの間の位相変化量を検出することから、この位相変化量が-180度から180度までの範囲内で $m$ の値が大きいくほど検出感度は大きくなる。

【0042】さらに、雑音除去において、平均操作のサンプルデータの個数 $n$ の値も大きいくほど雑音成分を除くことができる。この場合、AFC回路に必要なプリアンブル長は $(m+n)$ シンボルとなる。図3の補償回路106の出力信号( $I_c$ ,  $Q_c$ )は等化器101に入力される。

【0043】等化器としては、先の従来技術で説明したMLSE等化器のような適応型が用いられる。このとき、本発明のAFC回路により周波数偏差が取り除かれた受信信号が等化器に入力するため、等化器の伝搬路環境の追従特性が向上する。

【0044】図6は本発明の実施の形態の第2の例を示すもので、請求項2の発明に対応する具体的な実施例を示している。本実施例の、AFC回路100-3の制御はプリアンブル区間までは、先に図3に基づいて説明した実施例と同じである。

【0045】同図において、AFC回路100-3の周波数制御は、プリアンブルで周波数偏差を一旦抑圧してから等化器101のトレーニングを行い、トレーニング終了後、再度フィードバック制御により行う点で、先の実施例と異なり、また、従来技術とも異なる。

【0046】すなわち、MLSE等化器101のレプリカ生成回路109により受信信号を推定したレプリカをAFC回路100-3に入力し、AFC回路100-3では、補償回路106出力信号を遅延回路1により遅延を調整した後、位相比較回路2に入力する。

【0047】補償回路106出力信号は、レプリカと位相比較することによって、残留する周波数偏差による位相の回転量が検出される。位相比較回路2の出力を、平均フィルタ3により適当な時間で平均操作を行った後、係数回路4によりゲインを調整して加算器24に入力する。

【0048】プリアンブル終了時に周波数偏差回路104で設定した発振周波数の値を、トレーニング終了後の係数回路4の出力を加算器24で加えることにより補正し、データ区間中においても発振周波数をフィードバック制御によって調整することができる。

【0049】図7は、本発明の実施の形態の第3の例を示す図で、請求項3の発明に係る対応する具体的な実施例を示している。発明の構成に対応するAFC回路を数字符号100-4で示している。

【0050】この例は、図3に示した位相差検出回路102の複素乗算回路10-1と、補償回路106の複素乗算回路10-2を共通化して、一つの複素乗算回路10-3で行う構成になっており、複素乗算回路10-3の入力信号を切り替える点で、先に図3で示した実施例とは異なる。

【0051】すなわち、複素乗算回路10-3の一方の入力にセレクト回路18を配置することにより、プリアンブル区間では、遅延回路9の出力信号を選択して受信信号と複素乗算を行い、複素乗算回路10-3を、位相差検出回路102として用いる。また、プリアンブル終了時にNCO111の出力信号を選択するように切り替えて、補償回路106として複素乗算回路10-3を用いる。このようにすれば、複素乗算回路の数を減らすことができる。

【0052】図8は、本発明の実施の形態の第4の例を示す図で、請求項4の発明に係る具体的な実施例を示している。発明の構成に対応するAFC回路を数字符号100-5で示している。本実施例では、先に図3で示した実施例の周波数偏差推定回路104にあるROM11の代わりに除算回路112を用いている。

【0053】送受ローカルの周波数偏差が小さいか、もしくは、クロック速度が速い等で位相差検出時間 $m$ シンボルあたりの位相変化量が小さく-20度から20度程度の場合には、 $\theta = \text{Arctan}(Q/I)$ の計算を $Q/I$ で近似して行うことができる。そのため、ROM11を用いる代わりに除算回路112による演算処理を行い、ROM11によるメモリ容量を削減することができる。

【0054】図9に除算回路112の構成例を示す。本回路では、2つの2進デジタル信号 $I$ と $Q$ が入力されて除算( $Q/I$ )の演算を行い、除算した結果を $d$ として $d_0$ から $d_8$ の9ビットの信号で出力する。本回路では入力信号( $I$ ,  $Q$ )の偏角が-20度から20度であり、入力条件として $0 \leq |Q| < I$ が成立しているとし

ている。

【0055】始めに入力信号Qの最上位ビットMSBは符号を表しており、これを除算結果の符号ビットd8として出力する。次に入力信号Qは絶対値化回路19に入力され絶対値に変換され、8段の商因子回路113に入力される。一つの商因子回路113は2倍回路20、比較回路21、セクタ回路22及び減算器23からなる。

【0056】初段の商因子回路113において、入力信号Qは、2倍回路でビットシフトにより2倍されてから、比較回路21で信号Iと大きさが比較される。また、2倍された信号Qは、減算器23により信号Iで減算される。比較した結果、信号Qの2倍が信号Iより大きい場合は、比較回路21の出力d7を「1」とし、セクタ回路22により商因子回路113から減算結果が出力される。

【0057】逆に、信号Iが信号Qの2倍より大きい場合は、比較回路21の出力d7を「0」とし、セクタ回路22により商因子回路から減算する前の2倍された信号Qがそのまま出力される。セクタ回路22の出力は次の商因子回路に入力され、同様の処理が行われる。

【0058】この一連の処理が、8段の商因子回路113で行われた結果、それぞれの比較回路21の出力結果d0からd7が、除算回路112から出力される。符号ビットd8と合わせて、d0からd8は、求める除算値(Q/I)を256倍した値を表す。図8の実施例では、このような除算回路112の結果を用いて発振回路105の周波数を設定する。

【0059】

【発明の効果】本発明のAFC回路によれば、等化器のトレーニングを行う前に、受信信号から送受信ローカル周波数偏差を除去することができるので、等化器がその特性を良好に維持できる効果がある。

【図面の簡単な説明】

【図1】本発明のAFC回路の基本構成を示すブロック図である。

【図2】本発明で用いるバーストフォーマットを示す図である。

【図3】本発明の実施の形態の第1の例を示すブロック図である。

【図4】平均フィルタの例を示すブロック図である。

【図5】NCOの例を示すブロック図である。

【図6】本発明の実施の形態の第2の例を示すブロック図である。

【図7】本発明の実施の形態の第3の例を示すブロック図である。

【図8】本発明の実施の形態の第4の例を示すブロック\*

\*図である。

【図9】除算回路の例を示すブロック図である。

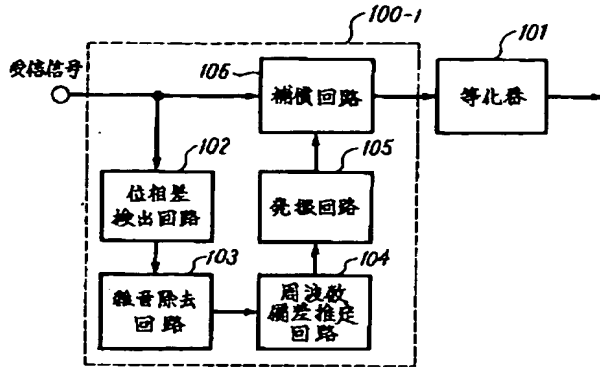
【図10】従来のAFC回路を示すブロック図である。

【符号の説明】

- |               |            |  |
|---------------|------------|--|
| 1             | 遅延回路       |  |
| 2             | 位相比較回路     |  |
| 3             | 平均フィルタ     |  |
| 4             | 係数回路       |  |
| 5             | 減算器        |  |
| 10 6          | 直交検波回路     |  |
| 7             | 局部発振器      |  |
| 8             | AD変換器      |  |
| 9             | 遅延回路       |  |
| 10-1 ~ 10-3   | 複素乗算回路     |  |
| 11            | ROM        |  |
| 12            | ホールド回路     |  |
| 13            | 遅延回路       |  |
| 14            | 合成器        |  |
| 15            | 割り算回路      |  |
| 20 16         | アップダウンカウンタ |  |
| 17-1, 17-2    | ROM        |  |
| 18            | セクタ回路      |  |
| 19            | 絶対値化回路     |  |
| 20            | 2倍回路       |  |
| 21            | 比較回路       |  |
| 22            | セクタ回路      |  |
| 23            | 減算器        |  |
| 24            | 加算器        |  |
| 100-1 ~ 100-5 | AFC回路      |  |
| 30 101        | 等化器        |  |
| 102           | 位相差検出回路    |  |
| 103           | 雑音除去回路     |  |
| 104           | 周波数偏差推定回路  |  |
| 105           | 発振回路       |  |
| 106           | 補償回路       |  |
| 107           | 系列推定回路     |  |
| 108           | 伝搬路推定回路    |  |
| 109           | レプリカ生成回路   |  |
| 110           | 平均フィルタ     |  |
| 40 111        | NCO        |  |
| 112           | 除算回路       |  |
| 113           | 商因子回路      |  |
| 201           | プリアンプ      |  |
| 202           | 等化器用トレーニング |  |
| 203           | データ        |  |

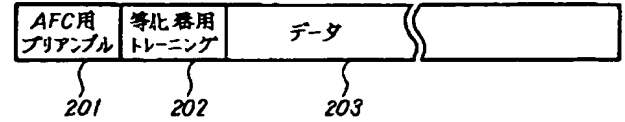
【図1】

本発明のAFC回路の基本構成を示すブロック図



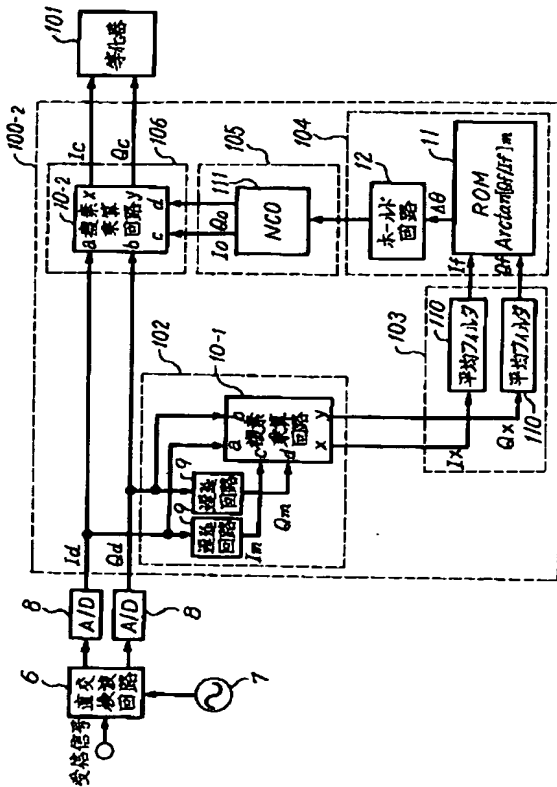
【図2】

本発明で用いるバーストフォーマットを示す図



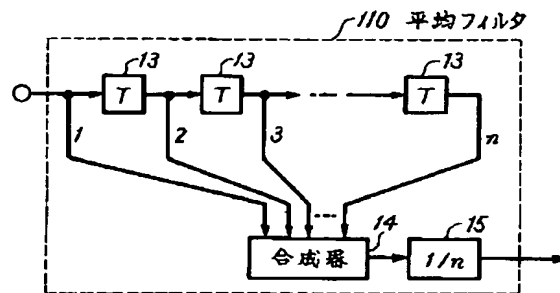
【図3】

本発明の実施の形態の第1の例を示すブロック図



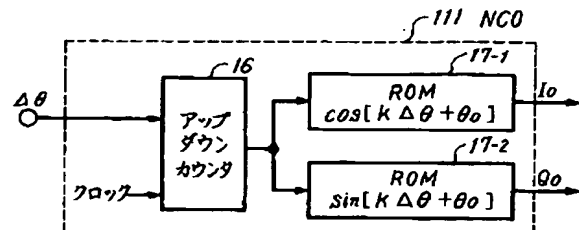
【図4】

平均フィルタの例を示すブロック図



【図5】

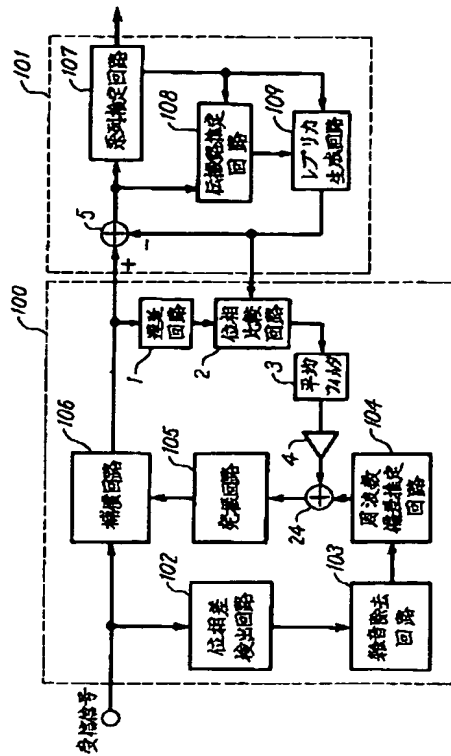
NCOの例を示すブロック図





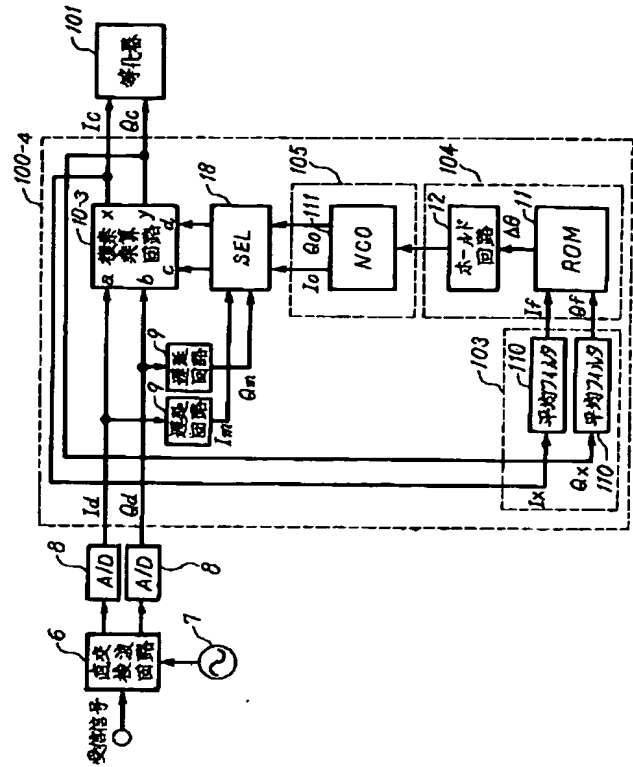
【図6】

本発明の実施の形態の第2の例を示すブロック図



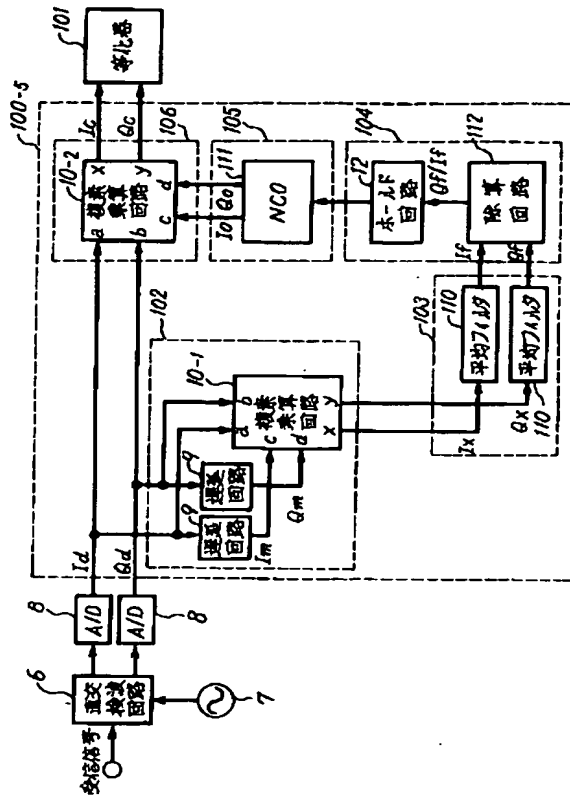
【図7】

本発明の実施の形態の第3の例を示すブロック図



【図8】

本発明の実施の形態の第4の例を示すブロック図



【図9】

除算回路の例を示すブロック図

